

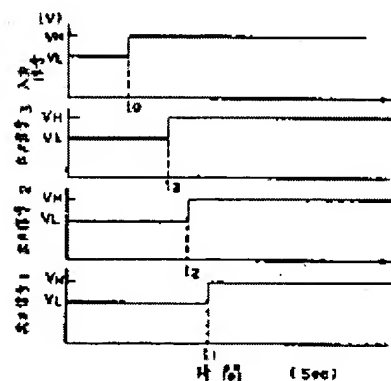
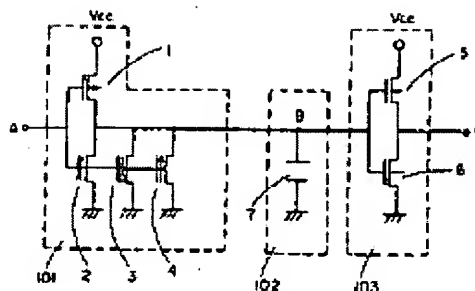
## DELAY CIRCUIT

**Patent number:** JP2131012  
**Publication date:** 1990-05-18  
**Inventor:** MAKIHARA HIROYASU; others: 02  
**Applicant:** MITSUBISHI ELECTRIC CORP  
**Classification:**  
 - international: H03K5/13  
 - european:  
**Application number:** JP19880284614 19881110  
**Priority number(s):**

### Abstract of JP2131012

**PURPOSE:** To obtain a desired delay time regardless of the dispersion in the characteristic of each element at manufacture by providing a control means connecting to an output of an inverter means so as to control the changing speed of an output voltage of the inverter means in multi-stage and a discrimination means connecting to the output of the inverter means to discriminate an output voltage level of the inverter means.

**CONSTITUTION:** When a voltage applied to an input terminal A is switched from a low level to a high level, a p-channel transistor (TR) 1 is turned off. In such a case, only a transistor (TR) among n-channel floating gate TRs 2-4 with a low threshold voltage is turned on and discharges an electric charge stored in a load capacitor 7. As a result, a potential at a connecting point B reaches a low level. Let a time when a potential at an output terminal C changes from a high to a low level be  $t_0$  and let the potential at the output terminal C is switched to a high level from the low level as the result be  $t_1$ , then the delay time (hereinafter names  $t_L$ ) of the delay circuit is expressed as  $t_1 - t_0$ . The time  $t_L$  depends on the entire mutual conductance of the n-channel floating gate TRs 2-4.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

## ⑫ 公開特許公報(A) 平2-131012

⑤Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬公開 平成2年(1990)5月18日

H 03 K 5/13

7631-5 J

審査請求 未請求 請求項の数 1 (全 10 頁)

⑭発明の名称 遅延回路

⑯特 願 昭63-284614

⑰出 願 昭63(1988)11月10日

⑱発 明 者 牧 原 浩 泰 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱発 明 者 香 田 憲 次 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱発 明 者 興 梶 泰 宏 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

遅延回路

## 2. 特許請求の範囲

(1) 遅延時間の可変な遅延回路であって、  
電源と接地との間に接続され、入力信号を受け  
るように接続されたインバータ手段と、

前記インバータ手段の出力に接続されたリアク  
タンス手段と、

前記インバータ手段の出力に接続され、前記イ  
ンバータ手段の出力電圧の変化速度を多段階に制  
御するための制御手段と、

前記インバータ手段の出力に接続され、前記イ  
ンバータ手段の出力電圧レベルを判別するための  
判別手段とを含む遅延回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は複数の能動素子を有する多段インバ  
ータからなる遅延回路に関し、特に、遅延時間の  
可変な遅延回路に関する。

〔従来の技術〕

第6図は、従来技術による遅延回路の一例の回  
路図である。この例では、相補型インバータ（以  
下CMOSインバータと呼ぶ）を用いている。

第6図を参照して、従来の遅延回路は、Low  
レベルとHighレベルの2通りの電圧が印加さ  
れる入力端子Aと、出力端子Cとを有し、入力端  
子Aに入力された信号を反転させて接点Bに出力  
するための第1のインバータ手段、すなわちCM  
OSインバータ101と、接点Bに接続され、接  
点Bの電位の変化に应答して電荷の蓄積と放出と  
を行なって、信号の遅延をもたらすためのリアク  
タンス手段102と、接点Bを入力端子とし、接  
点Bから入力される信号を反転させて出力端子C  
に出力するための第2のCMOSインバータ10  
3とを含む。

第1のCMOSインバータ101は、ゲートが  
入力端子A、ドレインが接点B、ソースが電源V<sub>cc</sub>  
に接続されたpチャネルトランジスタ23と、ゲ  
ートが入力端子A、ドレインが接点Bに接続され、

ソースが接地されたnチャネルトランジスタ24を含む。

リアクタンス手段102は、一端を接点Bに接続され、他端が接地された負荷容量27を含む。

第2のCMOSインバータ103は、ゲートが接点Bに、ドレインが出力端子Cに、ソースが電源 $V_{cc}$ に接続されたpチャネルトランジスタ25と、ゲートが接点Bに、ドレインが出力端子Cに接続され、ソースが接地されたnチャネルトランジスタ26を含む。

次に第6図および第7図を参照して、従来の遅延回路の動作が説明される。第7図は、第6図の入力端子Aに印加される電圧および出力端子Cに現われる電位の時間変化を示すグラフである。

入力端子Aに印加される電圧がLowレベルにあるとき、トランジスタ23はON状態、トランジスタ24はOFF状態である。このとき、負荷容量27には所定の電荷が蓄積され、接点Bの電位はHighレベルになっている。トランジスタ25はOFF状態で、トランジスタ26はON状

— 3 —

したがって、この回路の遅延時間は、トランジスタ24の相互コンダクタンスと、負荷容量27の大きさに依存する。すなわち、負荷容量27が大きいほど遅延時間は長く、トランジスタ24の相互コンダクタンスが大きいほど遅延時間は短くなる。

〔発明が解決しようとする課題〕

しかしながら、従来の遅延回路には以下のような問題点がある。すなわち、第6図で示されるような遅延回路を構成する各要素の電気的特性にばらつきがあり、その結果遅延時間が精度良く得られない、という問題点がある。

特に最近になって電子機器の動作には高速性が益々要求されるようになった。その結果各機器の動作間のタイミングの管理が重要になりつつある。そのために、所望の遅延時間が得られる遅延回路が求められている。ところが、従来の遅延回路においては、その各構成要素の製造時の特性のばらつきを小さくすることが困難である。その結果所望の遅延時間の得られる遅延回路を作製すること

— 5 —

態であり、したがって出力端子Cの電位はLowレベルの状態である。

入力端子Aに印加されている電圧がHighレベルに切換わると、トランジスタ23はOFF状態になり、トランジスタ24はON状態となる。このとき負荷容量27に蓄積された電荷はトランジスタ24を経由して放電される。負荷容量27に蓄積された電荷の放電が終わると、接点Bの電位はLowレベルとなる。その結果、トランジスタ25はON状態となり、トランジスタ26はOFF状態となる。したがって出力端子CにはHighレベルが現われる。

第7図を参照して、入力端子Aに印加される電圧がLowレベルからHighレベルに切換わるべきを $t_0$ 、その結果出力端子Cに現われる電位がLowレベルからHighレベルに切換わるべきを $t_1$ とする。 $t_1 - t_0$ がこの遅延回路の遅延時間である。 $t_1 - t_0$ は、負荷容量27に蓄積された電荷が、トランジスタ24を経由して放電される時間に依存する。

— 4 —

は難しかった。

したがって、この発明の目的は、製造時の各素子の特性のばらつきにかかわらず所望の遅延時間の得られる遅延回路を提供することである。

〔課題を解決するための手段〕

この発明にかかる遅延回路は、遅延時間の可変な遅延回路であって、電源と接地との間に接続され、入力信号を受けるように接続されたインバータ手段と、インバータ手段の出力に接続されたリアクタンス手段と、インバータ手段の出力に接続され、インバータ手段の出力電圧の変化速度を多段階に制御するための制御手段と、インバータ手段の出力に接続され、インバータ手段の出力電圧レベルを判別するための判別手段とを含む。

〔作用〕

この発明にかかる遅延回路は以上のように構成される。そのため、外部から入力信号を受けてインバータ手段が反転する。その結果、インバータ手段の出力電圧が第1の状態から第2の状態に連続的に変わる。判別手段はインバータ手段の出力

— 6 —

電圧が第2の状態になったことを判別する。インバータ手段が外部から入力信号を受けてから、判別手段がインバータ手段の出力電圧の変化を判別するまでの時間が、この遅延回路の遅延時間である。

この遅延時間は、主としてインバータ手段の出力電圧が第1の状態から第2の状態に変化するのに要する時間により決まる。この時間の大きさは、リアクタンス手段の大きさと、インバータ手段の出力電圧の変化速度とに依存する。

この発明では、制御手段によりインバータ手段の出力電圧の変化速度を多段階に変えることができ、したがって、遅延時間を多段階に設定することができる。

#### [実施例]

第1図は、この発明にかかる遅延回路の一実施例を示す回路図である。第1図を参照して、この遅延回路は、LowレベルとHighレベルの2通りの電圧が印加される入力端子Aと、出力端子Cとを有し、入力端子Aに入力された信号を反転

- 7 -

トが接点B、ドレインが出力端子Cに接続され、ソースが接地されたnチャネルトランジスタ6を含む。

上述のnチャネル浮遊ゲートトランジスタ2, 3, 4のゲート、ソース間電圧(以下、 $V_{gs}$ と呼ぶ)とドレイン、ソース間電流(以下 $I_{ds}$ と呼ぶ)との間には、第2図に示されるような関係がある。

第2図中Iで示された曲線は、たとえばnチャネル浮遊ゲートトランジスタ2のゲート(以下浮遊ゲートと略す)が帯電していない状態のnチャネル浮遊ゲートトランジスタ2の示す特性(以下特性1という)曲線である。第2図中IIで示された曲線は、nチャネル浮遊ゲートトランジスタ2の浮遊ゲートが帯電した状態で、nチャネル浮遊ゲートトランジスタ2の示す特性(以下特性2という)曲線である。浮遊ゲートを帯電させるには、対象となる浮遊ゲートトランジスタにおいてアバランシェ注入などを使用して行なえばよい。これは、手作業で行なうことも可能である。

- 9 -

させて接点Bに出力するため第1のCMOSインバータ101と、接点Bに接続され、接点Bの電位の変化にตอบสนองして電荷の蓄積と放出とを行なうためのリアクタンス手段102と、接点Bに接続され、接点Bから入力される信号を反転させて出力端子Cに出力するための第2のCMOSインバータ103を含む。

第1のCMOSインバータ101は、ゲートが入力端子A、ドレインが接点B、ソースが電源 $V_{cc}$ に接続されたpチャネルトランジスタ1と、それぞれゲートが入力端子A、ドレインが接点Bに接続され、ソースが接地されたnチャネル浮遊ゲートトランジスタ2, 3, 4を含む。

リアクタンス手段102は、一端を接点Bに接続され、他端を接地された負荷容量7を含む。負荷容量7は、配線容量などの浮遊容量を考慮した実質的な大きさを有する。

第2のCMOSインバータ103は、ゲートが接点B、ドレインが出力端子C、ソースが電源 $V_{cc}$ に接続されたpチャネルトランジスタ5と、ゲ

- 8 -

第2図に示されるように、このnチャネル浮遊ゲートトランジスタは、浮遊ゲートを帯電させることでしきい値を変えることができる。したがって、このnチャネル浮遊ゲートトランジスタを含む回路の相互コンダクタンスもそれに伴って変わり、特性1のとき大きく、特性2のときには小さい。

次に、第1図に示される遅延回路の動作原理が説明される。まず、入力端子Aに印加されている電圧がLowレベルにあるものとする。このとき、pチャネルトランジスタ1はON状態、nチャネル浮遊ゲートトランジスタ2, 3, 4はすべてOFF状態である。したがって、接点Bには電源 $V_{cc}$ により電圧が印加されてHighレベルの状態となっており、負荷容量7には所定の電荷が蓄積されている。pチャネルトランジスタ5はOFF状態、nチャネルトランジスタ6はON状態である。したがって、出力端子CはLowレベルの状態にある。

入力端子Aに印加される電圧がLowレベルか

- 10 -

らHighレベルに切換えられると、pチャネルトランジスタ1はOFF状態になる。このとき、nチャネル浮遊ゲートトランジスタ2, 3, 4のうち、しきい値電圧が低いもののみがON状態となり、負荷容量7に蓄積されている電荷を放電する。その結果接点Bの電位がLowレベルになる。そのため、nチャネルトランジスタ6はOFF状態に、pチャネルトランジスタ5はON状態になる。したがって、出力端子CにはHighレベルが現われる。

入力端子Aの電位がLowレベルからHighレベルに切換わったときを $t_0$ 、その結果出力端子Cの電位がLowレベルからHighレベルに切換わったときを $t_1$ とする。この遅延回路の遅延時間（以下 $t_L$ という）は $t_1 - t_0$ である。 $t_L$ の大きさは、nチャネル浮遊ゲートトランジスタ2, 3, 4全体の相互コンダクタンスに左右される。すなわち、nチャネル浮遊ゲートトランジスタ2, 3, 4の全体の相互コンダクタンスが大きいほど、負荷容量7の電荷を放電する時間が

— 11 —

$t_2$ 、 $t_3$ の間には、 $t_1 > t_2 > t_3$ の関係がある。

第3図に示されるように、この実施例にかかる遅延回路は、その遅延時間をいくつかの段階に切換えることができる。

なお、第1図に示される遅延回路ではnチャネル浮遊ゲートトランジスタが3個しか使用されていない。そのため、この遅延回路で得られる遅延時間は、たかだか7通りである。しかし、各nチャネル浮遊ゲートトランジスタの相互コンダクタンスを小さくし、その個数を多くすれば、遅延時間の切換はより細かく多段階にできる。したがって、必要とされる精度に応じてnチャネル浮遊ゲートトランジスタの個数を用意すれば、所望の遅延時間に対し所望の精度の遅延時間で動作するように遅延回路を設定できる。

第4図は、この発明の他の好ましい実施例の遅延回路を示す回路図である。この遅延回路はプログラムによって遅延時間が設定されるプログラム遅延回路である。

— 13 —

短くなる。また相互コンダクタンスが小さいほど負荷容量7の電荷を放電する時間は長くなる。

したがって、nチャネル浮遊ゲートトランジスタ2, 3, 4のうち、特性1のものが少ないほど、全体の相互コンダクタンスは小さく、その結果 $t_L$ は大きくなる。特性1のものが多いほど、全体の相互コンダクタンスが大きく、その結果 $t_L$ は小さくなる。

第3図はこの実施例の遅延回路の入力端子Aに印加される入力信号および出力端子Cに現われる出力信号と、時間との関係を示すグラフである。第3図中、 $t_0$ は入力信号がLowレベルからHighレベルに切換わることを表わす。また、出力信号1, 2, 3は、それぞれ第1図で示されるnチャネル浮遊ゲートトランジスタ2, 3, 4のうち、特性1を示すものの数がそれぞれ1個、2個、3個の場合に、出力端子Cに現われる電位の時間変化を表わす。 $t_1$ 、 $t_2$ 、 $t_3$ は上述のそれぞれの場合に、出力端子Cの電位がLowレベルからHighレベルに切換わることを表す。 $t_1$ 、

— 12 —

第4図を参照してこの遅延回路は、LowレベルとHighレベルの2通りの電圧を持つ入力信号が入力される入力端子Aと、出力端子Cとを有し、入力端子Aに入力された信号を反転させて接点Gに出力するための、nチャネル浮遊ゲートトランジスタを含む第1のCMOSインバータ101と、接点Gに接続され、接点Gの電位の変化に反応して電荷の蓄積と放出とを行なうためのリアクタンス手段102と、接点Gに接続され、接点Gから入力される信号を反転させて出力端子Cに出力するための第2のCMOSインバータ103と、第1のCMOSインバータ101に接続され、第1のCMOSインバータ101に含まれるnチャネル浮遊ゲートトランジスタのしきい値電圧を制御するためのしきい値電圧変更手段104とを含む。

第1のCMOSインバータ101は、ゲートが入力端子Aに、ソースが電源 $V_{cc}$ に、ドレインが接点Fに接続されたpチャネルトランジスタ1と、ゲートが電源 $V_{cc}$ に、ソースが接点Gに、

— 14 —

ドレインが接点Fに接続されたnチャネルトランジスタ12と、ゲートがそれぞれ入力端子Aに、ドレインが各々接点M、N、Oに接続され、ソースがそれぞれ接地されたnチャネル浮遊ゲートトランジスタ2、3、4を含む。pチャネルトランジスタ1と、nチャネル浮遊ゲートトランジスタ2、3、4とはインバータを構成する。

リアクタンス手段102は、一端が接点Gに接続され、他端が接地された負荷容量7を含む。

第2のCMOSインバータ103は、ゲートが接点Gに、ソースが電源 $V_{cc}$ に、ドレインが出力端子Cに接続されたpチャネルトランジスタ5と、ゲートが接点Gに、ドレインが出力端子Cに接続され、ソースが接地されたnチャネルトランジスタ6とを含む。

しきい値電圧変更手段104は、ゲートが端子I、ドレインが接点H、ソースがプログラム用高圧電源 $V_P$ に接続されたpチャネルトランジスタ13と、ゲートが端子Jに、ドレインが接点Hに、ソースが接点Mに接続されたnチャネルトランジ

— 15 —

スタ16と、ゲートが端子Kに、ドレインが接点Hに、ソースが接点Nに接続されたnチャネルトランジスタ17と、ゲートが端子Lに、ドレインが接点Hに、ソースが接点Oに接続されたnチャネルトランジスタ18とを含む。

次に第4図を参照して、この実施例における遅延回路の動作が説明される。nチャネル浮遊ゲートトランジスタ2、3、4の電気的特性を特性2とするために、入力端子Aと、プログラム用高圧電源 $V_P$ に12、5V程度の高圧が印加される。このとき、nチャネル浮遊ゲートトランジスタ2、3、4のゲートに同じ電圧 $V_P$ が印加される。

端子IをLowレベルにすることにより、pチャネルトランジスタ13がON状態になり、接点Hにプログラム用高圧電源 $V_P$ の高圧が印加される。この状態で端子J、K、Lに選択的に高圧を印加すると、nチャネルトランジスタ16、17、18が選択的にON状態になる。

その結果、nチャネル浮遊ゲートトランジスタ2、3、4の各々のドレインに選択的に高圧が印

— 16 —

加され、選択されたnチャネル浮遊ゲートトランジスタでアバランシェ注入が起こる。

したがって、nチャネル浮遊ゲートトランジスタ2、3、4が選択的に特性2となつてしきい値電圧が上がる。このとき、所望の遅延時間が得られるように端子J、K、Lに選択的に高圧を加えればよい。なお、nチャネルトランジスタ12は、接点Hに印加される高圧が接点Fに伝わることを防ぐためのものである。

第4図に示される遅延回路は、上述の操作をした後、遅延回路として使用できる。そのためには第4図を参照して、プログラム用高圧電源 $V_P$ を通常の電源レベル、たとえば $V_{cc}$ と同じレベルにし、端子Iに通常の電源レベルの電圧を印加する。すると、nチャネルトランジスタ13はOFF状態になる。この状態で端子J、K、Lに同一の通常の電源レベルの電圧を印加すると、入力端子Aの電位がHighレベルの時、nチャネル浮遊ゲートトランジスタ2、3、4のうち、特性1であるもののみON状態になり、特性2のものは

— 17 —

OFF状態のままである。

したがって、第1図に示された実施例1の遅延回路と等価な回路として使用することができる。

また、この実施例においても各nチャネル浮遊ゲートトランジスタの相互コンダクタンスを小さく、その個数を多くすることで、遅延時間の切換はより細かく多段階にできる。したがって所望の遅延時間に十分近い遅延時間が得られるように遅延回路を設定することが可能である。

第5図は、この発明にかかるプログラマブルな遅延回路を利用した半導体メモリ装置のブロック図である。第5図を参照して、半導体メモリ装置32は、メモリ回路34と、メモリ回路34に接続され、メモリ回路34へのアドレス入力信号の変化に応答してATD(Address Transition Detector)パルスが発生するためのATDパルス発生回路36と、ATDパルス発生回路36に接続され、ATDパルスに応答して、メモリ回路34内の各回路を所望の時刻に動作させるために、所定の遅延時間を有す

— 18 —

る遅延信号を発生するためのプログラマブル遅延回路38を含む。

第5図の半導体メモリ装置32の動作が説明される。メモリ回路34内の各素子のうち必要なものについては、動作の高速化のため、予めスタンバイ状態にされている。スタンバイ状態とは、たとえばCMOSインバータにおいて、所定の動作電圧が $V_{cc}$ であるとするれば、 $V_{cc}$ の半分の電圧を入力側と出力側にかけて、双方を等電位の状態にしておくことをいう。予めこの状態に保持しておいて、入力側に入力信号が入ってくると同時にこのスタンバイ状態が解かれる。すると、入力信号に対するこの素子の応答は、スタンバイ状態でなかった場合に比較して速くなることが知られている。

メモリ回路34に入っているアドレス信号に変化があると、ATDパルス発生回路36はATDパルスを発生する。プログラマブル遅延回路38は、ATDパルスに応答してメモリ回路34中の各素子のスタンバイ状態を解くため、各素子の動

— 19 —

もかわらず、製造後に遅延速度を調節することが可能である。したがって、半導体メモリ装置の製造の歩留りの向上も期待できる。

なお、この発明は上記実施例に限定されない。たとえば、インバータ手段、あるいは判別手段としてCMOSインバータの代わりに、 $n$ チャネルEDインバータ等を使用しても同様の効果を奏する。また、第1図または第4図に示される遅延回路の、 $n$ チャネル浮遊ゲートトランジスタの数も様々に変えることができる。また、通常の $n$ チャネルトランジスタと $n$ チャネル浮遊ゲートトランジスタを組合わせて相互コンダクタンスを調節しても、同様の効果が得られることは言うまでもない。

#### 〔発明の効果〕

この発明にかかる遅延回路は、遅延時間の可変な遅延回路であって、電源と接地との間に接続され、入力信号を受けるように接続されたインバータ手段と、インバータ手段の出力に接続されたリアクタンス手段と、インバータ手段の出力に接続

— 21 —

作するタイミングに合わせた遅延信号を発生する。メモリ回路34中の各素子は、入力信号が入る直前にこの遅延信号に反応してスタンバイ状態を解き、入力信号に反応する。

ここで、上述の遅延信号の到着が早すぎる場合には、素子の入力側と出力側の電位が入力信号の到着前に静的状態に戻ってしまい、素子の応答の高速化は図れない。

また、遅延信号の到着が遅すぎる場合、遅延信号の到着まで素子の入力側と出力側にスタンバイ用の電圧が印加されたままとなる。したがって、場合によっては、逆に素子の応答速度が遅くなってしまうこともある。

この方法は一例であって、その他にも種々の方法で、遅延信号による各素子の動作の調整が行なわれる。したがって、この発明にかかるプログラマブル遅延回路38をこの半導体メモリ装置32に使用することにより、半導体メモリ装置32の動作速度を効率良く上げることができる。また、遅延回路中の各素子の製造時の特性のばらつきに

— 20 —

され、インバータ手段の出力電圧の変化速度を多段階に制御するための制御手段と、インバータ手段の出力に接続され、インバータ手段の出力電圧レベルを判別するための判別手段とを含む。

そのため、外部から入力信号を受けてインバータ手段が反転する。その結果、インバータ手段の出力電圧が第1の状態から第2の状態に連続的に変わる。判別手段は、インバータ手段の出力電圧が第2の状態になったことを判別する。インバータ手段が外部から入力信号を受けてから、判別手段がインバータ手段の出力電圧の変化を判別するまでの時間が、この遅延回路の遅延時間である。

この遅延時間は、主としてインバータ手段の出力電圧が第1の状態から第2の状態に変化するのに要する時間により決まる。この時間の大きさは、リアクタンス手段の大きさと、インバータ手段の出力電圧の変化速度とに依存する。

この発明では、制御手段によりインバータ手段の出力電圧の変化速度を多段階に変えることができ、したがって遅延時間を多段階に設定すること

— 22 —

ができる。

その結果、製造時の各素子の特性のばらつきにかかわらず所望の遅延時間の得られる遅延回路を提供できる。

#### 4. 図面の簡単な説明

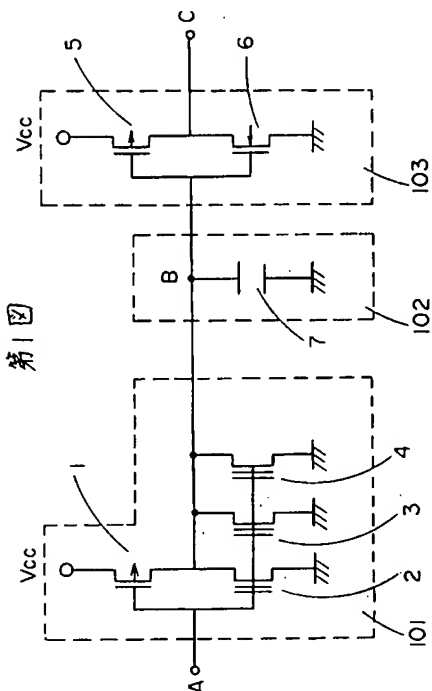
第1図はこの発明の一実施例の遅延回路を示す回路図であり、第2図はnチャネル浮遊ゲートトランジスタの電気的特性を示すグラフであり、第3図は第1図に示される遅延回路の遅延時間を示すグラフであり、第4図はこの発明の他の実施例の遅延回路を示す回路図であり、第5図はこの発明のさらに他の実施例を示すブロック図であり、第6図は従来装置を表わす回路図であり、第7図は従来装置における遅延時間を示すグラフである。

図中、1はpチャネルトランジスタ、2、3、4はnチャネル浮遊ゲートトランジスタ、5はpチャネルトランジスタ、6はnチャネルトランジスタ、7は負荷容量、23はpチャネルトランジスタ、24はnチャネルトランジスタ、25はpチャネルトランジスタ、26はnチャネルトラン

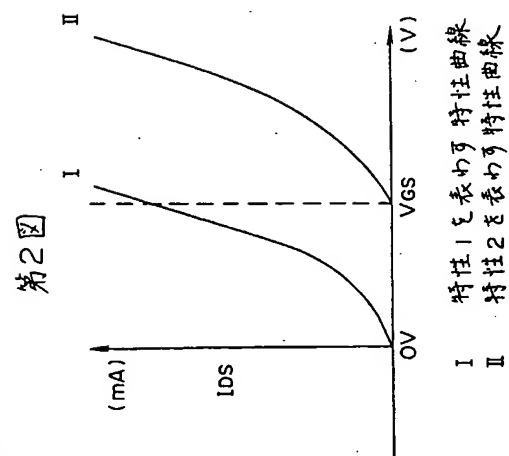
ジスタ、27は負荷容量、32は半導体メモリ装置、34はメモリ回路、36はA T Dパルス発生回路、38はプログラマブル遅延回路、101は第1のCMOSインバータ、102はリアクテンス手段、103は第2のCMOSインバータ、104はしきい値電圧変更手段、 $V_{cc}$ は通常電源、 $V_p$ はプログラム用高圧電源、 $V_H$ はHighレベルの信号、 $V_L$ はLowレベルの信号を表わす。

なお、図中、同一符号は同一または相当部分を示す。

代理人 大岩 増 雄

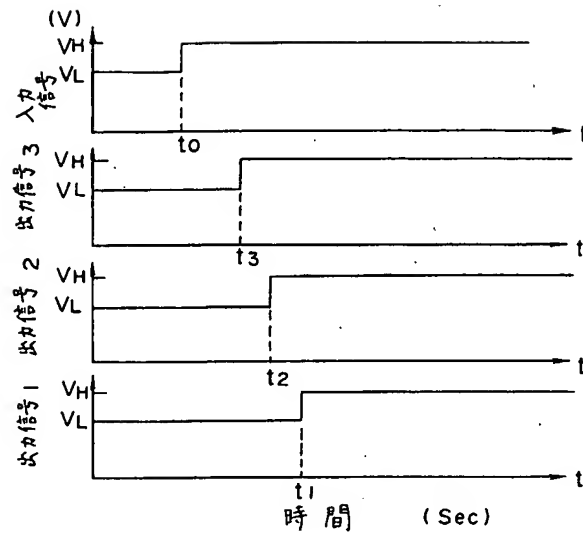


第1図  
1: Pチャネルトランジスタ  
2~4: nチャネル浮遊ゲートトランジスタ  
5: Pチャネルトランジスタ  
6: nチャネルトランジスタ  
7: 負荷容量  
101: 第1のCMOSインバータ  
102: リアクテンス手段  
103: 第2のCMOSインバータ  
A: 入力端子  
C: 出力端子





第3回



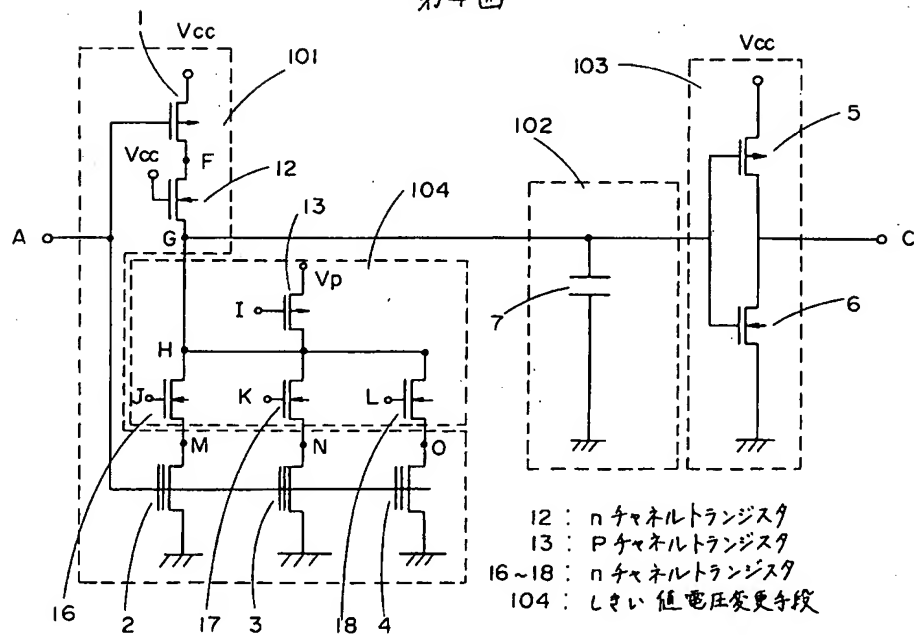
VH : Highレベル信号

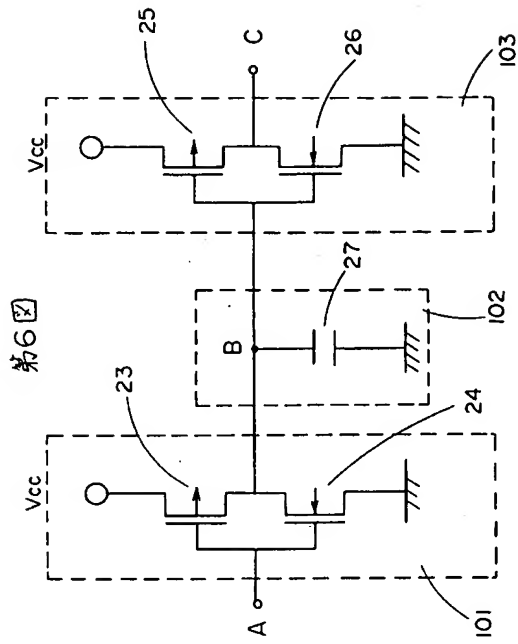
VL: Low レベル信号

to : 入力信号のレベル切替時刻

$t_1 \sim t_3$ : 各出力信号のレベル切替時刻

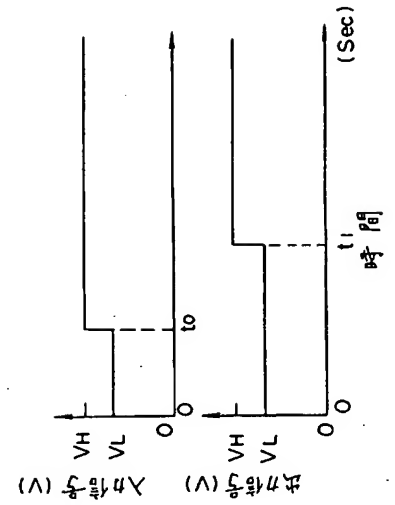
第4回



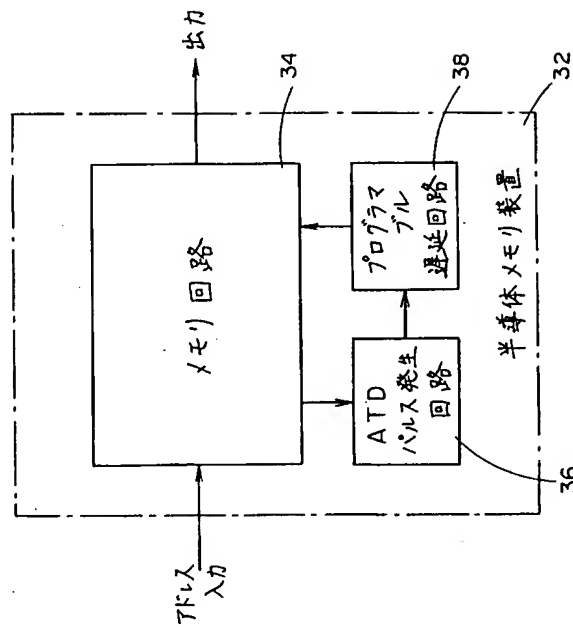


23 : Pチャネルトランジスタ  
24 : Nチャネルトランジスタ  
25 : Pチャネルトランジスタ  
26 : Nチャネルトランジスタ  
27 : 負荷容量

第7図



第5図



手続補正書 (自発)



平成 1 年 10 月 25 日  
昭和

特許庁長官殿

1. 事件の表示 特願昭 63-284614 号

2. 発明の名称  
遅延回路

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先 03(213)3421 特許部)



方式査  
証 査

(1)



5. 補正の対象

発明の詳細な説明の欄

6. 補正の内容

(1) 明細書第17頁第16行ないし第17行の「同一の通常の電源レベルの」を「浮遊ゲートトランジスタへの誤書込みを防ぐために、通常の電源レベルよりも低い所定の電圧、たとえば3V程度の」に訂正する。

(2) 明細書第19頁第5行ないし第6行の「スタンバイ状態にされている。スタンバイ」を「イコライズ状態にされている。イコライズ」に訂正する。

(3) 明細書第19頁第12行ないし第13行の「スタンバイ状態が解かれる。すると、入力信号に対するこの素子の応答は、スタンバイ」を「イコライズ状態が解かれる。すると、入力信号に対するこの素子の応答は、イコライズ」に訂正する。

(4) 明細書第19頁第20行の「スタンバイ」を「イコライズ」に訂正する。

- 2 -

(5) 明細書第20頁第3行の「スタンバイ」を「イコライズ」に訂正する。

(6) 明細書第20頁第10行の「スタンバイ」を「イコライズ」に訂正する。

以上